

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

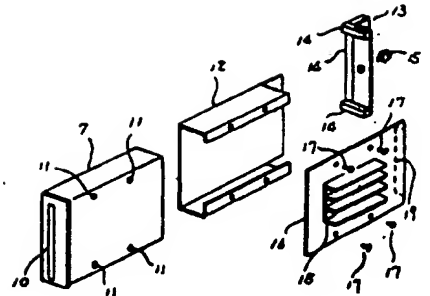
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(71) HITACHI LTD (72) TOSHIYUKI EDAKAWA
(51) Int. Cl. G11B33/14

PURPOSE: To improve heat radiation performance and to prevent invasion of dust by forming a case covering an FD unit with a raw material having a high heat conductivity and providing a cooling fin to the outside of the case.

CONSTITUTION: A dust-proof case covering an FD unit 7 consist of cases 12, 16 and a cover 13 and the cases 12, 16 and the cover 13 use a raw material of aluminum alloy or the like having a high heat conductivity and deliver the heat dissipated from the FD unit 7 to the outer face of the cases. Moreover, a cooling fin 18 is provided to the outer face of the case 16 so as to dissipate the heat delivered from the FD unit 7 easily. Thus, the invasion of dust into the FD unit 7 is prevented and the dust-proof structure with excellent heat radiation is obtained.

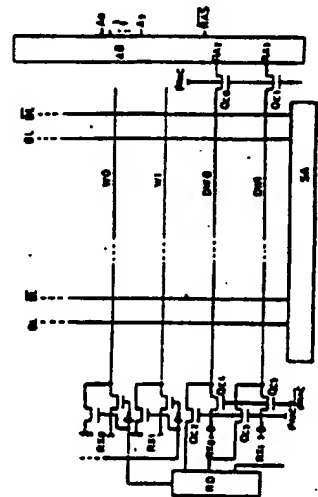


(54) SEMICONDUCTOR MEMORY

(11) 2-189788 (A) (43) 25.7.1990 (19) JP
(21) Appl. No. 64-8870 (22) 17.1.1989
(71) MITSUBISHI ELECTRIC CORP (72) MASATO SUWA
(51) Int. Cl. G11C11/401

PURPOSE: To reduce a wiring area by giving a potential opposite to the potential raising of a word line to a dummy word line in the operation of a word line raising and using the dummy word line as other signal wire other than the operation.

CONSTITUTION: The potential of dummy word lines DW0, DW1 is used as a potential in opposite phase to the potential of selected word lines W0, W1 when the word lines W0, W1 are charged and the dummy word lines are used as other signal input output wires in the other case. At the raising of the word lines W0, W1, they act like reducing coupling noise and in other cases, for example, they function as signal wires for a low address signal. Thus, the dummy word lines DW0, DW1 are used in common with row address wires and excess row address wires are not required. Thus, the wiring area is reduced.

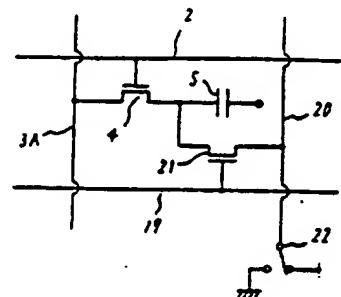


(54) DYNAMIC SEMICONDUCTOR MEMORY

(11) 2-189790 (A) (43) 25.7.1990 (19) JP
(21) Appl. No. 64-9008 (22) 18.1.1989
(71) MITSUBISHI ELECTRIC CORP (72) KAZUTOSHI HIRAYAMA
(51) Int. Cl. G11C11/401, H01L27/108

PURPOSE: To quicken flash write and initialize mode and to reduce power consumption by providing a 2nd word line, bit line and transistor (TR) newly in addition to a 1st word line, bit line and a TR.

CONSTITUTION: The 2nd word line 19 and the 2nd bit line 20 are provided along the 1st word line 2 and the 1st bit line 3A. the 2nd TR 21 is provided to a cross point between the 2nd word line 19 and the 2nd bit line 20 and its gate is connected to the 2nd word line 19, the source and drain are connected to the 2nd bit line 20 and a capacitor 5. Then a signal is read and written through the 1st word line 2 and the 1st bit line 3A. the 2nd TR 21 is made conductive through the 2nd word line 19 to give the potential of the 2nd bit line 20 to the capacitor 5 thereby quickening the operation in the flash write and initialize mode. Thus, the operation in the flash write and initialize mode is implemented quickly with small power consumption.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-189790

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月25日

G 11 C 11/401
H 01 L 27/108

8522-5B G 11 C 11/34 3 7 1 E
8624-5F H 01 L 27/10 3 2 1

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 ダイナミック形半導体記憶装置

⑯ 特 願 平1-9008

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 平 山 和 俊 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ダイナミック形半導体記憶装置

2. 特許請求の範囲

互いに並んで設けられた複数の第1のワード線、この第1のワード線と交叉すると共に互いに並んで設けられた複数の第1のビット線、上記第1のワード線と第1のビット線の交点に設けられた第1のトランジスタ、この第1のトランジスタに接続されて電位をHまたはLの状態に保持することにより情報を記憶するキャパシタを備えたものにおいて、上記第1のワード線に沿って設けられた第2のワード線、上記第1のビット線に沿って設けられた第2のビット線、上記第2のワード線と第2のビット線の交点に設けられた第2のトランジスタを備え、この第2のトランジスタのゲートが上記第2のワード線に接続されると共にソースとドレインのうちの一方が上記第2のビット線に、他方が上記キャパシタに接続され、かつ、上記第2のビット線の電位がHまたはLの状態に切換可

能であることを特徴とするダイナミック形半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はダイナミック形のメモリセルを用いて情報を記憶するダイナミック形半導体記憶装置に関するものである。

〔従来の技術〕

第3図は従来のダイナミック形半導体記憶装置を示すブロック図であり、図において、①はマトリクスに配列されたメモリセル、②は上記マトリクス各行に対応し、互いに並んで設けられたワード線、(3A)、(3B)はビット線で、上記マトリクスの各列に対応して交互に配置されたBL線のビット線(3A)とBL線のビット線(3B)とで構成され、各1本で1組をなして互いに並んで設けられている。ワード線②が1本おきに交互にBL線のビット線(3A)あるいはBL線のビット線(3B)と交叉する所にメモリセル①が設けられており、第4図の回路図にその構成を示す。④はワード線②とビット線

(3A)の交点に設けられたトランジスタ、図は電位をHまたはLに保持することにより情報を記憶するキャパシタで、トランジスタ40のソースとドレインのうちの一方がビット線(3A)に、そして他方がキャパシタ40の一端に接続され、ゲートはワード線40に接続されている。キャパシタ40の他端は定電圧点に接続されている。ワード線40にある電位を与えてトランジスタ40を導通させることにより、キャパシタ40とビット線(3A)の間を導通させるようになっている。なお、図ではビット線(3A)に接続されたものを示したが、ビット線(3B)についても同様になっている。第3図に説明を展して、(6A)は入出力の対象となるメモリセル(1)の行および列アドレス信号が入力される外部端子、(6B)、(6C)はそれぞれ行、列アドレス信号を内部に取り込むクロック信号であるRAS信号、CAS信号が入力される外部端子、(7)、(8)、(9)はそれぞれ外部端子(6A)、(6B)、(6C)に入力される信号のレベル変換用のアドレスバッファ、RASバッファ、CASバッファ、(10)はアドレスバッファ(7)とワード線40の間に設け

られた行デコードで、アドレスバッファ(7)からの行アドレス信号を受けて活性化し、指定のワード線40を選択する。(11)はアドレスバッファ(7)とビット線(3A)、(3B)の間に設けられた列デコードで、アドレスバッファ(7)からの列アドレス信号を受けて活性化し、指定のビット線(3A)、(3B)を選択する。(12)はメモリセル(1)へのデータの出し入れを行うための入出力線、(13)はビット線(3A)、(3B)と入出力線の間に設けられた入出力ゲートで、トランジスタで構成され、そのソース、ドレインがビット線(3A)、(3B)、入出力線(12)に接続され、ゲートは列デコード(11)に接続されている。(14)はビット線(3A)、(3B)間の電位差を増幅するセンスアンプ、(15)は入出力される低レベルのデータ信号を増幅するブリアンプ、(16)はブリアンプ(15)からのデータ信号を出力用に増幅するメインアンプ、(6D)、(6E)はそれぞれデータ信号を出力、入力する外部端子、(6F)は外部からのデータ信号を内部に取り込むクロック信号であるWE信号が入力される外部端子、(17)、(18)はそれぞれ外部端

子(6E)、(6F)に入力される信号のレベル変換用の入力データバッファ、WEバッファである。

次に動作について説明する。まず、通常の読み出しを行う時は、①外部端子(6A)に行アドレス信号が入力される。②外部端子(6B)からのRAS信号により、行アドレス信号を内部に取り込む。③行デコード部を活性化し、メモリセル(1)が複数のブロックに分割されている場合は単位ブロック中の、1つのワード線40を選択する。④センスアンプ(14)を動作させ、ビット線(3A)、(3B)間の電位差を増幅する。⑤列デコード(11)を活性化し、CAS信号により取り込んだ列アドレス信号に応じた1組のビット線(3A)、(3B)を選択して入出力ゲート(13)を導通させ、そのビット線(3A)、(3B)間の電位差を入出力線(12)にのせる。⑥ブリアンプ(15)により上記電位差を増幅してメインアンプ(16)に伝え、そこから外部端子(6D)にデータ信号として出力する。また、通常の書き込みの時は上記④に代えて、④外部端子(6E)からの書き込みデータ信号を外部端子(6F)からのWE信号により内部に取り

込んで入力データバッファ(17)から入出力線(12)にのせ、強制的にビット線(3A)、(3B)間の電位差を決めて、選択されたメモリセルにその電位を格納する。

上記の通常の読み出し、書き込み動作の他に、1つのワード線40に接続された全てのメモリセル(1)を同じデータに1サイクルで書きかえるフラッシュライト(Flash Write)や、単位ブロック中の全てのメモリセル(1)を同じデータに書きかえるイニシャライズモード(Initialize Mode)という特殊動作がある。フラッシュライト時の動作について説明すると、①外部端子(6A)に行アドレス信号が入力される。②外部端子(6B)からのRAS信号により、行アドレス信号を内部に取り込む。③行デコード部を活性化し、単位ブロック中の1つのワード線40を選択する。④列デコード(11)を活性化し、単位ブロック中の全てのビット線(3A)、(3B)を一括して入出力線(12)と接続する。⑤図示しない内部レジスタに登録されたデータ信号、あるいは、外部端子(6E)から入力データバッファ

(17)に入力されたデータ信号を入出力線(12)にのせる。⑤センスアップ(14)を動作させてビット線(3A)、(3B)間の電位差を増幅し、上記1つのワード線図に接続されている全メモリセル(1)にデータとして書き込む。また、イニシャライズモードの時は上記動作が、入力される行アドレス信号を受けて繰り返される。なお、これらと通常モードとの区別は外部からの指定により行われる。上記で説明した通常の書き込み動作と、フラッシュライトの動作の概略をそれぞれ第5図、第6図のブロック図に示す。以上のようにフラッシュライトは通常モードとはロジック的に動作手順が大きく異なっており、特に入出力線(12)からビット線(3A)、(3B)にデータ信号が書き込まれた際、通常モードでは1組のビット線(3A)、(3B)しか入出力線(12)に接続されないが、フラッシュライト時は単位ブロックの全てのビット線(3A)、(3B)が接続されるので負荷容量が増え、そのため、最後にセンスアップを動作させてデータ信号を増幅しなければならぬ。

ト線、第2のトランジスタと称する)を設けたものである。即ち、第1のワード線、第1のビット線に沿ってそれぞれ第2のワード線、第2のビット線を設け、第2のワード線と第2のビット線の交点に第2のトランジスタを設けて、そのゲートを第2のワード線に、そしてソース、ドレインを第2のビット線、キャパシタに接続したものである。

(作 用)

この発明におけるダイナミック形半導体記憶装置は、第1のワード線と第1のビット線で通常の読み出し、書き込みの動作を行うと共に、第2のワード線で第2のトランジスタを導通状態にして、第2のビット線の電位をキャパシタに伝えることによりフラッシュライトとイニシャライズモードの動作を行う。

(発明の実施例)

以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例によるダイナミック形半導体記憶装置のメモリセルを示す回路図

(発明が解決しようとする課題)

従来のダイナミック形半導体記憶装置は以上のように構成されているので、フラッシュライトやイニシャライズモードは、通常モードとは別のロジックを構成して特別の手順で動作させる必要があり、従って、動作ロジックが2種類になって非常に複雑となり、そのため、動作が遅く、かつ、消費電力が大きいなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、フラッシュライトやイニシャライズモードを、動作が早く、かつ、小さい消費電力で行うことができるダイナミック形半導体記憶装置を得ることを目的とする。

(課題を解決するための手段)

この発明に係るダイナミック形半導体装置は、従来から設けられているワード線、ビット線、トランジスタ(以下、それぞれ第1のワード線、第1のビット線、第1のトランジスタと称する)に加えて、新たにワード線、ビット線、トランジスタ(以下、それぞれ第2のワード線、第2のビ

であり、図において、図～図、(3A)は第4図の場合と同様であるので説明を省略する。ただし、ここでは図は第1のワード線、(3A)は第1のビット線、図は第1のトランジスタと称するものとする。また、第4図に示されていないが、第3図のビット線(3B)に相当するものも第1のビット線と称するものとする。(19)は第1のワード線図に沿って設けられた第2のワード線、(20)は第1のビット線(3A)に沿って設けられた第2のビット線、(21)は第2のワード線(19)と第2のビット線(20)の交点に設けられた第2のトランジスタ、(22)は第2のビット線(20)の電位をHまたはLに切換えるためのスイッチである。全体は第3図と類似の構成になっていて、第2のワード線(19)は行デコーダ図に接続されている。なお、第1図では第1のビット線(3A)に接続されたものを示したが、第1のビット線(3B)についても同様になっている。

次に動作について説明する。通常モードでは従来例と同様にして読み出し、書き込みを行う。フラッシュライト時は行デコーダ図により1つの第

